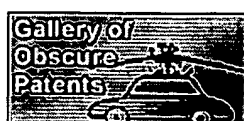
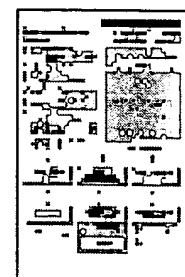


SUSU-1-21795

DELPHION[Select for](#)[Stop Tracking](#)[RESEARCH](#)[PRODUCTS](#)[INSIDE DELPHION](#)[Log On](#) [Work Files](#) [Saved Searches](#)[My Account](#)Search: [Quick/Number](#) [Boolean](#) [Advanced](#) [Derwent](#) [Help](#)

The Delphion Integrated View

Get Now: ☒ [PDF](#) | [File History](#) | [Other choices](#)Tools: Add to Work File: [Create new Work File](#) ☐ [Add](#)View: [INPADOC](#) | Jump to: [Top](#)[Email this to a friend](#)Title: **JP06139153A2: MEMORY CONTROL SYSTEM**Country: **JP Japan**Kind: **A**Inventor: **MATSUMOTO KENJI;**Assignee: **SHIKOKU NIPPON DENKI SOFTWARE KK**
[News, Profiles, Stocks and More about this company](#)Published / Filed: **1994-05-20 / 1992-10-27**Application Number: **JP1992000288058**IPC Code: **Advanced: G06F 12/16;**
Core: more...
IPC-7: G06F 12/16;Priority Number: **1992-10-27 JP1992000288058**Abstract: **PURPOSE:** To improve the reliability of a memory by periodically applying patrol reading to all memory cells in an ECC-added memory circuit, and if an one-bit error is generated, rewriting correction data.**CONSTITUTION:** The ECC-added memory circuit is provided with a row address generating counter 4 to be counted up by a refresh period signal (c) outputted from a memory refresh control circuit 7 and a column address generating circuit 5, successively executes the patrol reading of data from a memory 10 based upon generated row and column addresses at the same period as that of memory refreshing under the control of a patrol reading control circuit 8, and when an ECC control circuit 9 detects an one-bit error, rewrites corrected data in the read address prior to transfer control to the succeeding memory access. When the operation is repeated, one-bit errors in all memory cells can be corrected independently of the existence of data read out from a CPU.**COPYRIGHT:** (C)1994,JPO&JapioFamily: **None**Other Abstract Info: **JAPABS 180441P000125 JAP180441P000125**[Nominate this for the Gallery...](#)[View Image](#)

1 page

THOMSON

Copyright © 1997-2006 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-139153

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

G 0 6 F 12/16

識別記号

3 2 0 K 7629-5B
F 7629-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-288058

(22)出願日 平成4年(1992)10月27日

(71)出願人 000180379

四国日本電気ソフトウェア株式会社
愛媛県松山市衣山4丁目760番地

(72)発明者 松本 賢二

愛媛県松山市衣山四丁目760番地四国日本
電気ソフトウェア株式会社内

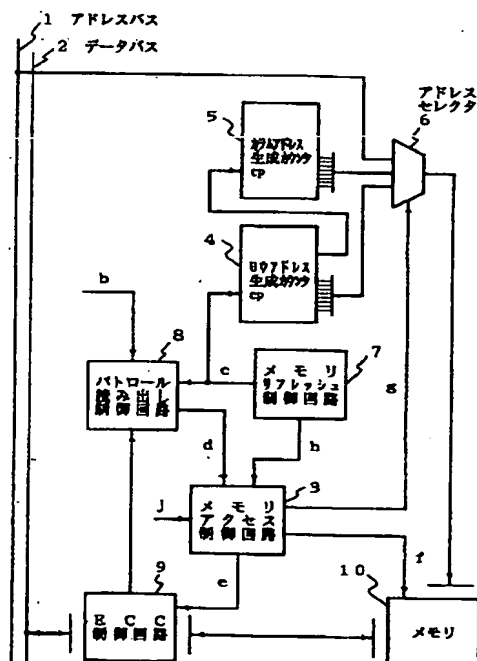
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 メモリ制御システム

(57)【要約】

【目的】 ECC付きメモリ回路において、全メモリセルに対し周期的にパトロール読み出しを行い、1ビットエラーが発生していれば訂正データを再書き込みすることにより、メモリの信頼性を向上させる。

【構成】 ECC付きメモリ回路において、メモリリフレッシュ制御回路7からのリフレッシュ周期信号cによりカウントアップされるロウアドレス生成カウンタ4及びカラムアドレス生成カウンタ5を備え、パトロール読み出し制御回路8の制御により、生成したアドレスによりメモリリフレッシュと同じ周期で順次メモリ10からデータのパトロール読み出しを行い、ECC制御回路9が1ビットエラーを検出すると、次のメモリアクセスに制御が移る前に訂正したデータを読み出したアドレスに再書き込みする。この動作を繰り返すことにより、CPUからの読み出しの有無にかかわらず全メモリセルの1ビットエラーが訂正される。



【特許請求の範囲】

【請求項1】 メモリから読み出されたデータの1ビットエラーを検出して訂正する機能を持つECC制御回路を備えたECC付きメモリ回路のメモリ制御システムにおいて、リフレッシュ周期信号によりカウントアップされるカウンタから成るアドレス生成回路を備え、メモリリフレッシュ動作に続き前記アドレス生成回路により生成されたアドレスからデータを読み出し、前記ECC制御回路が1ビットエラーを検出したときは次のメモリアクセスに制御が移る前に訂正されたデータを同じアドレスに再書き込みする動作を、全メモリセルに対して順次繰り返すことを特徴とするメモリ制御システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はメモリ制御システムに関し、特にECC付きメモリ回路の全メモリセルに対して周期的に読み出しを行い、ECCによってエラーが検出されたアドレスに再書き込みを行うようにしたメモリ制御システムに関する。

【0002】

【従来の技術】 従来、ECC (Error Checking and Correction) 機能、すなわち1ビットエラーの検出および訂正機能と2ビットエラーの検出機能とを有するECC付きメモリ回路においては、ソフトエラーによって1ビットエラーが発生した場合に、CPUにより読み出されるアドレスの1ビットエラーは訂正されて読み出され、その訂正後のデータをCPUが同じアドレスに再書き込みを行っている。

【0003】

【発明が解決しようとする課題】 上述した従来の方式では、CPUの読み出し時に1ビットエラーを検出した時に、そのアドレスだけに訂正されたデータの再書き込みを行うだけであるため、他のアドレスにソフトエラーによる1ビットエラーが発生していても、そのアドレスを読み出さない限り、その1ビットエラーは検出できないという欠点があった。又、再書き込みも行われないために、アクセス頻度の低いアドレスにおいては、1ビットエラーが発生しているにもかかわらず訂正されないまま経過し、遂には2ビットエラーとなった後に読み出され、訂正不能になるという欠点があった。

【0004】 本発明の目的は、1ビットエラーが発生していれば訂正されたデータを再書き込みすることにより、訂正不能の2ビットエラーの発生を防止してメモリの信頼性を向上させたメモリ制御システムを提供することにある。

【0005】

【課題を解決するための手段】 本発明のメモリ制御システムは、メモリから読み出されたデータの1ビットエラーを検出して訂正する機能を持つECC制御回路を備えたECC付きメモリ回路のメモリ制御システムにおい

て、リフレッシュ周期信号によりカウントアップされるカウンタから成るアドレス生成回路を備え、メモリリフレッシュ動作に続き前記アドレス生成回路により生成されたアドレスからデータを読み出し、前記ECC制御回路が1ビットエラーを検出したときは次のメモリアクセスに制御が移る前に訂正されたデータを同じアドレスに再書き込みする動作を、全メモリセルに対して順次繰り返すことを特徴としている。

【0006】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0007】 図1は本発明の一実施例の構成を示すブロック図である。

【0008】 図1において、1はアドレスバス、2はデータバスである。3はメモリアクセス制御回路であり、メモリアクセスの内容に応じて、ECC制御信号eをECC制御回路9に、メモリ制御信号fをメモリ10に、切替信号gをアドレスセクタ6にそれぞれ供給する。

【0009】 4はロウアドレス生成カウンタであり、メモリリフレッシュ時のロウアドレス及びバトロール読み出し/再書き込み時のロウアドレスを生成し、生成したロウアドレスをアドレスセクタ6に出力する。

【0010】 5はカラムアドレス生成カウンタであり、バトロール読み出し/再書き込み時のカラムアドレスを生成し、生成したカラムアドレスをアドレスセクタ6に出力する。

【0011】 6はアドレスセクタであり、ロウアドレス生成カウンタ4、カラムアドレス生成カウンタ5から供給されるアドレスと、アドレスバス1から供給されるアドレスとを選択してメモリ10にメモリ入力アドレスを供給する。

【0012】 7はメモリリフレッシュ制御回路であり、リフレッシュ周期信号cをロウアドレス生成カウンタ4及びバトロール読み出し制御回路8に、リフレッシュ信号hをメモリアクセス制御回路3に供給する。

【0013】 8はバトロール読み出し制御回路であり、バトロール読み出し許可信号bが有効になった時点から、メモリリフレッシュと同じ周期でバトロール読み出しを行い、1ビットエラー検出信号aが有効になると、再書き込みを行うような制御を行う。

【0014】 9はECC制御回路であり、ECC制御信号eに従い、CPUからの読み出し時にはメモリ10から読み出したデータの1ビットエラーを訂正してデータバス2に出力し、バトロール読み出し時にはエラーを検出するとビットエラー検出信号aを出力し、訂正したデータをデータバス2に出力することなくメモリ10に送出する。

【0015】 次に本実施例のバトロール読み出し/再書き込み動作について説明する。

【0016】 電源投入時にはメモリ10は初期化されて

いないため、メモリ10を読み出すと1ビットエラー、2ビットエラーが頻発するのは明らかである。従って、バトリール読み出し許可信号bは無効化され、リフレッシュ周期信号cが有効になってもバトリール読み出しは行われず、メモリリフレッシュ動作のみが行われる。メモリリフレッシュ動作は、ロウアドレス生成カウンタ4の出力がロウアドレスとなり、ロウアドレスの示すメモリセルがリフレッシュされる。この場合、周知のRASオンリリフレッシュが行われる。

【0017】メモリ10が初期化されると、バトリール読み出し許可信号bは有効となる。そしてリフレッシュ周期信号cが有効になるとメモリリフレッシュ動作の後、バトリール読み出し動作が行われる。

【0018】バトリール読み出し動作は、ロウアドレス生成カウンタ4の出力をロウアドレス、カラムアドレス生成カウンタ5の出力をカラムアドレスとしてメモリ10からデータを読み出し、ECC制御回路9で読み出されたデータをチェックする。ここで1ビットエラーが検出されなければ、次のメモリアクセスに制御が渡り、CPUからのアクセス制御信号jによりアクセスセクタ6が切り替えられ、アドレスバス1からのアドレスによりメモリ10へアクセスが行われる。しかし、1ビットエラーが検出されれば、ECC制御回路9はメモリ10から出力されたデータを訂正し、それと同時に1ビットエラー検出信号aをバトリール読み出し制御回路8に出力する。

【0019】1ビットエラー検出信号aが有効になると、バトリール読み出し制御回路8はバトリール読み出しが行われたアドレスと同じアドレスに、ECC制御回路9によって訂正されたデータを再書き込みするよう制御信号dをメモリアクセス制御回路3に送出し、訂正されたデータが再書き込みされる。その後、次のメモリアクセスに制御を渡す。

【0020】そして、ロウアドレス生成カウンタ4がオーバフローを起こしたとき、カラムアドレス生成カウンタ5がカウントアップされ、バトリール読み出し及び再書き込み動作のカラムアドレスが切り替わる。そして、カラムアドレス生成カウンタ5がオーバフローを起こし

たとき、全メモリセルに対してメモリリフレッシュとバトリール読み出し及び再書き込みが施されたことになる。

【0021】

【発明の効果】以上説明したように、本発明のメモリ制御システムは、ECC付きメモリ回路に、バトリール読み出し及び再書き込みを行う機能を付加し、バトリール読み出しによって1ビットエラーが検出されれば、読み出しを行ったアドレスに訂正されたデータの再書き込みを行うため、CPUが読み出したアドレス以外においてもソフトエラーによる1ビットエラーが発生していれば、そのアドレスがCPUによって読み出される前に訂正される確率が高くなり、又アクセス頻度の低いアドレスの2ビットエラーとなる確率も低減でき、メモリの信頼性が高くなるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【符号の説明】

- | | |
|----|---------------|
| 1 | アドレスバス |
| 2 | データバス |
| 3 | メモリアクセス制御回路 |
| 4 | ロウアドレス生成カウンタ |
| 5 | カラムアドレス生成カウンタ |
| 6 | アドレスセクタ |
| 7 | メモリリフレッシュ制御回路 |
| 8 | バトリール読み出し制御回路 |
| 9 | ECC制御回路 |
| 10 | メモリ |
| a | 1ビットエラー検出信号 |
| b | バトリール読み出し許可信号 |
| c | リフレッシュ周期信号 |
| d | 制御信号 |
| e | ECC制御信号 |
| f | メモリ制御信号 |
| g | 切替信号 |
| h | リフレッシュ信号 |
| j | アクセス制御信号 |

【図1】

